

# OPERATIONAL AMPLIFIER CIRCUIT

**Patent number:** JP9130171  
**Publication date:** 1997-05-16  
**Inventor:** NAKAO TOMOAKI  
**Applicant:** SHARP CORP  
**Classification:**  
 - international: H03F3/45; H03K5/02;  
 H03K19/0948

**Also published as:**

US5751186 (A1)

- european:

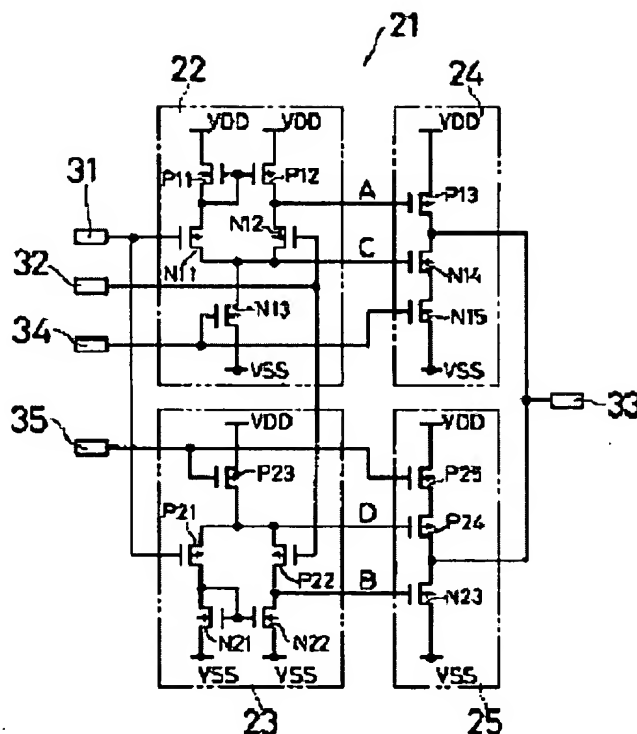
**Application number:** JP19950286112 19951102

**Priority number(s):**

## Abstract of JP9130171

**PROBLEM TO BE SOLVED:** To provide the operational amplifier circuit which extends the range of the voltage inputted to an input terminal without using a special production process.

**SOLUTION:** In an operational amplifier circuit 21, a first output amplifier circuit 24 is provided with transistors TRs N14 and N15, and a second output amplifier circuit 25 is provided with TRs P24 and P25. When a second differential amplifier circuit 23 goes to the cut-off state, output driving is performed by TRs P13, N14, and N15. When the first differential amplifier circuit 22 goes to the cut-off state, output driving is performed by TRs N23, P24, and P25. Consequently, output is possible even if voltages to cut off one differential amplifier circuit are given from anti-phase and in-



phase input terminals 31 and 32.

---

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-130171

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/45		H 0 3 F 3/45	Z
H 0 3 K	5/02		H 0 3 K 5/02	A
	19/0948		19/094	B

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号 特願平7-286112

(22)出願日 平成7年(1995)11月2日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 中尾 友昭

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

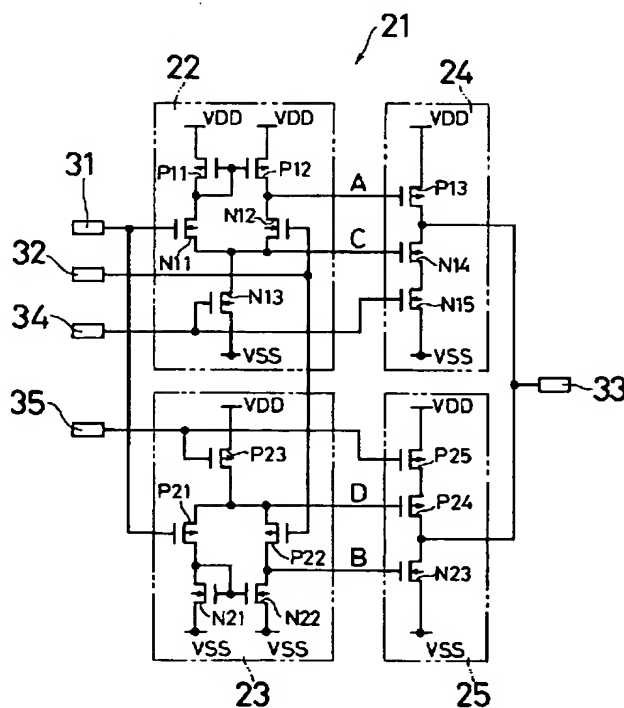
(74)代理人 弁理士 西教 圭一郎

(54)【発明の名称】 演算増幅回路

(57)【要約】

【課題】 特別な製造プロセスを用いることなく、入力端子に入力される電圧の範囲を広げることができる演算増幅回路を提供する。

【解決手段】 演算増幅回路21は、第1出力増幅回路24にトランジスタN14、N15を設け、第2出力増幅回路25にトランジスタP24、P25を設けている。第2差動増幅回路23が遮断状態となった場合には、トランジスタP13とトランジスタN14、N15とで出力の駆動が行われる。また、第1差動増幅回路22が遮断状態となった場合には、トランジスタN23とトランジスタP24、P25とで出力の駆動が行われる。したがって、一方の差動増幅回路が遮断されるような電圧が逆相および同相入力端子31、32から与えられた場合であっても出力を行うことができる。



## 1

## 【特許請求の範囲】

【請求項1】 信号が入力される第1および第2の入力端子と、

nチャネル型の電界効果型トランジスタを差動対とし、一方の電界効果型トランジスタのゲートには前記第1の入力端子が接続され、他方の電界効果型トランジスタのゲートには前記第2の入力端子が接続される第1の差動増幅手段と、

pチャネル型の電界効果型トランジスタを差動対とし、一方の電界効果型トランジスタのゲートには前記第1の入力端子が接続され、他方の電界効果型トランジスタのゲートには前記第2の入力端子が接続される第2の差動増幅手段と、

前記第1の差動増幅手段の出力がゲートに入力され、ソースには予め定める第1の電位が与えられ、ドレインには第1の負荷素子を介して前記第1の電位よりも低く定められた予め定める第2の電位が与えられるpチャネル型の第1出力用電界効果型トランジスタと、第2の差動増幅手段の出力がゲートに入力され、ソースには前記予め定める第2の電位が与えられ、ドレインには第2の負荷素子を介して前記第1の電位が与えられるnチャネル型の第2出力用電界効果型トランジスタとを含む出力増幅手段と、

第1出力用電界効果型トランジスタのドレインと、第2出力用電界効果型トランジスタのドレインとに接続される出力端子とを含んで構成されることを特徴とする演算増幅回路。

【請求項2】 前記出力増幅手段は、

第1の負荷素子と第2の電位との間、あるいは第1の負荷素子と第1出力用電界効果型トランジスタとの間に介挿され、第1の差動増幅手段が遮断状態となったとき、遮断される第1スイッチング素子と、

第2の負荷素子と第1の電位との間、あるいは第2の負荷素子と第2出力用電界効果型トランジスタとの間に介挿され、第2の差動増幅手段が遮断状態となったとき、遮断される第2スイッチング素子とを備えることを特徴とする請求項1記載の演算増幅回路。

【請求項3】 前記第1および第2の負荷素子は、それぞれ対応する前記差動増幅手段が導通状態であるときには所定の抵抗値の負荷となり、遮断状態であるときには電流の流れを遮断することを特徴とする請求項1記載の演算増幅回路。

【請求項4】 前記第1スイッチング素子は、前記第1の差動増幅手段における電界効果型トランジスタのソース電位によって導通/遮断が制御され、

前記第2スイッチング素子は、前記第2の差動増幅手段における電界効果型トランジスタのソース電位によって導通/遮断が制御されることを特徴とする請求項2記載の演算増幅回路。

【請求項5】 前記第1および第2の差動増幅手段に

## 2

は、差動対である電界効果型トランジスタに所定の動作点を与えるためのバイアス電圧がそれぞれ供給され、前記第1の負荷素子は、前記第1の差動増幅手段に供給されるバイアス電圧によって導通されるトランジスタであり、

前記第2の負荷素子は、前記第2の差動増幅手段に供給されるバイアス電圧によって導通されるトランジスタであることを特徴とする請求項2記載の演算増幅回路。

【請求項6】 前記出力端子からの出力を、いずれか一方の入力端子に与え、ボルテージフォロアとして動作させることを特徴とする請求項1記載の演算増幅回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CMOS（相補型金属酸化半導体）で構成される演算増幅回路に関する。

## 【0002】

【従来の技術】図6は、典型的な従来例である特開平2-92008号公報に開示されているCMOS演算増幅回路1の回路図である。演算増幅回路1には、同相入力端子2、逆相入力端子3、出力端子4、第1バイアス入力端子5および第2バイアス入力端子6が設けられており、第1差動増幅回路11と、第2差動増幅回路12と、出力増幅回路13とを含んで構成される。

【0003】第1差動増幅回路11は、nチャネルMOSトランジスタ（以後単に「トランジスタ」と称する）Mn1、Mn2、Mn3とpチャネルMOSトランジスタ（以後単に「トランジスタ」と称する）Mp1、Mp2とを含んで構成される。また、第2差動増幅回路12は、nチャネルMOSトランジスタMn4、Mn5とpチャネルMOSトランジスタMp4、Mp5、Mp6とを含んで構成される。出力増幅回路13は、第1差動増幅回路11の出力aがゲートに与えられるpチャネルMOSトランジスタMp3と、第2差動増幅回路12の出力bがゲートに与えられるnチャネルMOSトランジスタMn6とを含んで構成される。

【0004】第1差動増幅回路11において、差動対となっているnチャネルMOSトランジスタMn2、Mn3はソースが共通に接続されている。トランジスタMn2のゲートは逆相入力端子2に接続されており、電圧V1が供給される。トランジスタMn3のゲートは同相入力端子3に接続されており、電圧V2が供給される。

【0005】トランジスタMp1、Mp2は、トランジスタMn2、Mn3の能動負荷であり、それぞれのソースに電圧VDDが与えられる。また、トランジスタMp1、Mp2のゲートには、トランジスタMn2のドレイン電位が与えられ、導通/遮断が制御される。トランジスタMn2のドレインの電位が出力増幅回路13への出力を制御する信号となっている。

【0006】トランジスタMn1は、トランジスタMn

## 3

2, Mn 3に適当なバイアス電流を与えるための定電流源であり、ソースには電圧VSSが与えられており、ドレインはトランジスタMn 2, Mn 3のソースに接続される。また、ゲートに与えられる第1バイアス入力端子5からのバイアス電圧VB1によってトランジスタMn 2, Mn 3に供給するバイアス電流が定められる。第1差動増幅回路11の出力aによって、出力トランジスタMp 3が駆動される。

【0007】第2差動増幅回路12は、第1差動増幅回路11に含まれる各トランジスタの導電型を入換えた構造であるので、第1差動増幅回路11と異なる点について説明する。トランジスタMn 1, Mn 2, Mn 3, Mp 1, Mp 2がそれぞれこの順番で、トランジスタMp 4, Mp 5, Mp 6, Mn 4, Mn 5に置換えられる。

【0008】トランジスタMp 5のゲートはトランジスタMn 2と共通に逆相入力端子2に接続されており、トランジスタMp 6のゲートはトランジスタMn 3と共通に同相入力端子3に接続されている。トランジスタMn 4, Mn 5のソースには電圧VSSがそれぞれ供給されている。トランジスタMp 5のドレインの電位がトランジスタMn 6のゲートに与えられる。トランジスタMp 4のゲートは、第2バイアス入力端子6に接続され、バイアス電圧VB2が与えられる。トランジスタMp 4のソースには電圧VDDが供給されており、ドレインはトランジスタMp 5, Mp 6のソースに接続されている。

【0009】出力増幅回路13では、トランジスタMp 3のソースには電圧VDDが与えられ、トランジスタMn 6のソースには電圧VSSが与えられる。トランジスタMp 3, Mn 6のドレインが共通に出力端子4に接続される。

【0010】上述のように構成される演算増幅回路1の動作について説明する。図7は、演算増幅回路1の動作を説明するための図である。横軸は同相入力端子3に入力される同相入力である電圧V2を示し、縦軸は逆相入力端子2に入力される逆相入力である電圧V1を示す。

【0011】同相入力端子3に入力される電圧が逆相入力端子2に入力される電圧より高くなると、第1差動増幅回路11のトランジスタMn 3を流れる電流が増加し、トランジスタMp 2のドレイン電位を下げるので、トランジスタMp 3は導通され、出力端子4の電位を引上げる。また、第2差動増幅回路12のトランジスタMp 6を流れる電流が減少し、トランジスタMn 5のドレイン電位を下げるので、トランジスタMn 6が遮断される。したがって、出力端子4の電位は電圧VDD側へと上昇する。

【0012】同相入力端子3に入力される電圧が逆相入力端子2に入力される電圧より低くなると、第2差動増幅回路12のトランジスタMp 6を流れる電流が増加し、トランジスタMn 5のドレイン電位が上昇してトランジスタMn 6を導通させる。また、トランジスタMn

## 4

3を流れる電流が減少し、トランジスタMp 2のドレイン電位が上昇してトランジスタMp 3を遮断させる。したがって、出力端子4の出力電圧V0は電圧VSS側へ下降する。

【0013】上述したように演算増幅回路1の出力端子4からの出力は、トランジスタMp 3, Mn 6によってプッシュプル形式で出力される。トランジスタMp 3, Mn 6はいずれもソース接地されており、そのゲート信号は十分な振幅を持つため、広い出力ダイナミックレンジと大きな負荷の駆動とを期待できる構成となっている。

【0014】なお、上述の演算増幅回路1を構成する各トランジスタは、一般的にエンハンスメント型のトランジスタが用いられる。エンハンスメント型のトランジスタは、製造時にチャネル領域を形成しないので、たとえばnチャネルのトランジスタの場合、ゲートに正電圧を印加した場合のみドレイン電流が流れる。また、エンハンスメント型のトランジスタに対してデュプリージョン型のトランジスタは、製造時にソースとドレインとの間にチャネル領域を形成するので、ゲートに負電圧を印加した場合であってもドレイン電流が流れる。

【0015】トランジスタMn 2, Mn 3がエンハンスメント型のトランジスタであり、正のしきい値電圧Vtnを持っているとすると、それぞれの入力端子2, 3から供給される電圧V1, V2が電圧VSS+Vtn以下になると、トランジスタMn 2, Mn 3が遮断され、第1差動増幅回路11には電流が流れなくなるので、トランジスタMp 3のゲート電位は電圧VDDまで上がる。トランジスタMp 3がエンハンスメント型のトランジスタである場合には遮断されることとなり、出力電圧V0を高電位側に駆動することはできない。同様にして、トランジスタMp 5, Mp 6がエンハンスメント型のトランジスタであり、負のしきい値電圧Vtpを持つとすると、入力される電圧が電圧VDD-|Vtp|より高い場合には第2差動増幅回路12に電流が流れなくなり、トランジスタMn 6の電流電位は電圧VSSまで下がる。トランジスタMn 6がエンハンスメント型トランジスタである場合には遮断されることとなり、出力電圧V0を低電位側に駆動することができない。

【0016】

【発明が解決しようとする課題】上述のように構成された演算増幅回路1が正常に動作するのは、逆相および同相入力端子2, 3に入力される電圧が電圧VSS+Vtnから電圧VDD+|Vtp|までの間となり、入力することができる電圧の範囲が制限されることとなる。

【0017】演算増幅回路1の各トランジスタを前述のデュプリージョン型のトランジスタで形成することによって、動作することができる電圧の範囲を電圧VSS~VDDとすることができるが、デュプリージョン型のトランジスタはエンハンスメント型のトランジスタに対し

て特別な製造プロセスが必要となり、製造コストを上昇させる要因となる。

【0018】本発明の目的は、特別な製造プロセスを用いることなく、入力端子に入力される電圧の範囲を広げることができる演算増幅回路を提供することである。

【0019】

【課題を解決するための手段】本発明は、信号が入力される第1および第2の入力端子と、nチャネル型の電界効果型トランジスタを差動対とし、一方の電界効果型トランジスタのゲートには前記第1の入力端子が接続され、他方の電界効果型トランジスタのゲートには前記第2の入力端子が接続される第1の差動増幅手段と、pチャネル型の電界効果型トランジスタを差動対とし、一方の電界効果型トランジスタのゲートには前記第1の入力端子が接続され、他方の電界効果型トランジスタのゲートには前記第2の入力端子が接続される第2の差動増幅手段と、前記第1の差動増幅手段の出力がゲートに入力され、ソースには予め定める第1の電位が与えられ、ドレインには第1の負荷素子を介して前記第1の電位よりも低く定められた予め定める第2の電位が与えられるpチャネル型の第1出力用電界効果型トランジスタと、第2の差動増幅手段の出力がゲートに入力され、ソースには前記予め定める第2の電位が与えられ、ドレインには第2の負荷素子を介して前記第1の電位が与えられるnチャネル型の第2出力用電界効果型トランジスタとを含む出力増幅手段と、第1出力用電界効果型トランジスタのドレインと、第2出力用電界効果型トランジスタのドレインとに接続される出力端子とを含んで構成されることを特徴とする演算増幅回路である。

本発明に従えば、各差動増幅手段は、2つの入力端子からそれぞれ共通に入力される信号に基づいて、それぞれ対応付けられている出力用電界効果型トランジスタの導通／遮断を制御する。入力信号によって、第1および第2出力用電界効果型トランジスタの導通状態が制御されているときには、2つの出力用電界効果型トランジスタによってプッシュプル形式で出力を行う。また、いずれか一方の差動増幅手段が遮断状態になったときには、他方の差動増幅手段に対応付けられている出力用電界効果型トランジスタと、対応する負荷素子とによって電流の流路を形成して出力を行う。したがって、一方の差動増幅手段の出力が遮断状態となるような電圧が入力された場合であっても電流の流路が形成されるので、出力を行うことができる。

【0020】本発明の前記出力増幅手段は、第1の負荷素子と第2の電位との間、あるいは第1の負荷素子と第1出力用電界効果型トランジスタとの間に介挿され、第1の差動増幅手段が遮断状態となったとき、遮断される第1スイッチング素子と、第2の負荷素子と第1の電位との間、あるいは第2の負荷素子と第2出力用電界効果型トランジスタとの間に介挿され、第2の差動増幅手段

が遮断状態となったとき、遮断される第2スイッチング素子とを備えることを特徴とする。

本発明に従えば、第1の差動増幅手段が遮断状態になったときには、第1の負荷素子と第2の電位との間、あるいは第1の負荷素子と第1出力用電界効果型トランジスタとの間に設けられる第1のスイッチング素子は遮断される。また、第2の差動増幅手段が遮断状態になったときには、第2の負荷素子と第1の電位との間、あるいは第2の負荷素子と第2出力用電界効果型トランジスタとの間に設けられる第2のスイッチング素子は遮断される。したがって、遮断状態となった差動増幅手段に対応している負荷素子を介して電流が流れることを防止することができる。

【0021】本発明の前記第1および第2の負荷素子は、それぞれ対応する前記差動増幅手段が導通状態であるときには所定の抵抗値の負荷となり、遮断状態であるときには電流の流れを遮断することを特徴とする。本発明に従えば、前記差動増幅手段が、遮断状態となるときには第1および第2の負荷素子を流れる電流は遮断され、導通状態となっているときには第1および第2の負荷素子は所定の抵抗値の負荷として作用する。第1および第2の負荷素子には、たとえば前記差動増幅手段の電界効果型トランジスタに所定の動作点を与えるためのバイアス電圧が、対応する差動増幅手段と共通に入力されており、当該バイアス電圧に基づいて各負荷素子が電流を流すかどうかが定められる。したがって、与えられる電圧によって各負荷素子は電流の流れを遮断するか、所定の抵抗値の負荷となるので、電流の流れを制御するためにスイッチング素子を設ける必要がなく演算増幅回路が形成される面積を小さく抑えることができる。

【0022】本発明の前記第1スイッチング素子は、前記第1の差動増幅手段における電界効果型トランジスタのソース電位によって導通／遮断が制御され、前記第2スイッチング素子は、前記第2の差動増幅手段における電界効果型トランジスタのソース電位によって導通／遮断が制御されることを特徴とする。

本発明に従えば、第1の差動増幅手段の差動対である電界効果型トランジスタのソース電位が、第1スイッチング素子のゲートに与えられ、第2の差動増幅手段の差動対である電界効果型トランジスタのソース電位が、第2のスイッチング素子のゲートに与えられる。したがって、各差動増幅手段における電界効果型トランジスタに与えられている電位によって各スイッチング素子の導通／遮断を制御することとなり、前記制御を行うために新たに信号を入力する必要がなく入力端子数の増加を防ぐことができる。

【0023】本発明は、前記第1および第2の差動増幅手段には、差動対である電界効果型トランジスタに所定の動作点を与えるためのバイアス電圧がそれぞれ供給され、前記第1の負荷素子は、前記第1の差動増幅手段に

供給されるバイアス電圧によって導通されるトランジスタであり、前記第2の負荷素子は、前記第2の差動増幅手段に供給されるバイアス電圧によって導通されるトランジスタであることを特徴とする。

本発明に従えば、前記第1のスイッチング素子と第2の電位との間に設けられる第1の負荷素子は、第1の差動増幅手段に供給されるバイアス電圧によって導通状態とされるトランジスタである。また、前記第2のスイッチング素子と第1の電位との間に設けられる第2の負荷素子は、第2の差動増幅手段に供給されるバイアス電圧によって導通状態とされるトランジスタである。したがって、各負荷素子として、単に抵抗を設ける場合よりも演算増幅回路の形成に必要な面積を小さくすることができる。

【0024】本発明は、前記出力端子からの出力を、いずれか一方の入力端子に与え、ボルテージフォロアとして動作させることを特徴とする。

本発明に従えば、演算増幅回路の各差動増幅手段には、2つの入力端子がそれぞれ接続されており信号が入力されている。いずれか一方の入力端子に出力端子から出力される信号が入力されることによって、ボルテージフォロアとして動作する。したがって、入力端子側の信号の変動などによる影響による出力信号の変動を防止することができ、また入力する電圧のダイナミックレンジを広くとることができる。

【0025】

【発明の実施の形態】図1は、本発明の実施の第1の形態である演算増幅回路21の回路図である。演算増幅回路21は、第1差動増幅回路22と、第2差動増幅回路23と、第1出力増幅回路24と、第2出力増幅回路25とを含んで構成される。

【0026】第1差動増幅回路22は、nチャネルMOSトランジスタN11、N12、N13と、pチャネルMOSトランジスタP11、P12とを含んで構成される。第1差動増幅回路22のトランジスタN11、N12は、差動対として形成されており、互いのソースが共通に接続される。トランジスタN11のゲートには逆相入力端子31からの信号が入力され、トランジスタN12のゲートには同相入力端子32からの信号が入力される。トランジスタN11のドレインは、ソースに電圧VDDが与えられているトランジスタP11のドレインおよびゲートに接続されている。また、トランジスタN12のドレインは、ソースに電圧VDDが与えられているトランジスタP12のドレインに接続されている。トランジスタP11、P12のゲートは共通になっている。トランジスタN11のドレインの信号が第1差動増幅回路22の出力Aを制御する。出力Aは、第1出力増幅回路24に与えられる。

【0027】トランジスタN13のゲートは、第1バイアス入力端子34に接続されており、バイアス電圧VB

1が与えられる。また、トランジスタN13のソースには電圧VSSが供給され、ドレインは第1差動増幅回路22において共通に接続されたトランジスタN11、N12のソースに接続される。

【0028】第2差動増幅回路23は、nチャネルMOSトランジスタN21、N22と、pチャネルMOSトランジスタP21、P22、P23とを含んで構成される。第2差動増幅回路23の構造は、第1差動増幅回路22の各トランジスタの導電型を入換えた構造であるので、第1差動増幅回路22と異なる点について説明する。

【0029】第2差動増幅回路23では、第1差動増幅回路22のトランジスタN11、N12、N13、P11、P12がそれぞれこの順番で、トランジスタP21、P22、P23、N21、N22に置き換えられている。また、トランジスタP23のソースには電圧VDDが与えられ、ゲートは第2バイアス入力端子35に接続される。トランジスタN21、N22のソースには電圧VSSが与えられる。トランジスタP21のドレインの信号が第2差動増幅回路23の出力Bを制御する。出力Bは、第2出力増幅回路25に入力される。

【0030】第1出力増幅回路24は、nチャネルMOSトランジスタN14、N15とpチャネルMOSトランジスタP13とを含んで構成される。トランジスタP13のソースには電圧VDDが与えられており、ドレインはトランジスタN14のドレインに接続されるとともに第1出力増幅回路24の出力として出力端子33に与えられる。トランジスタP13は、ゲートに与えられる第1差動増幅回路22の出力Aによって導通／遮断が制御される。

【0031】トランジスタN15は、出力端子33と電圧VSSとの間に電流の経路を設けるバイアス回路を構成しており、ソースには電圧VSSが与えられ、ドレインはスイッチング素子であるトランジスタN14を介して出力端子33に接続される。トランジスタN15のゲートには、トランジスタN13と同様に第1バイアス入力端子34からバイアス電圧VB1が与えられる。

【0032】トランジスタN14は、ゲートにトランジスタN13の出力Cが与えられており、スイッチング素子として動作する。トランジスタN14は、トランジスタN13の出力電圧が低くなって、第1差動増幅回路22が遮断状態となると、前記トランジスタN15によって流される電流を遮断する。

【0033】第2出力増幅回路25は、nチャネルMOSトランジスタN23とpチャネルMOSトランジスタP24、P25とを含んで構成される。トランジスタN23のソースには電圧VSSが与えられており、ドレインはトランジスタP24のドレインに接続されるとともに第2出力増幅回路25の出力として出力端子33に与えられる。トランジスタN23は、ゲートに与えられる

第2差動増幅回路23の出力Bによって導通／遮断が制御される。

【0034】トランジスタP25は、電圧VDDと出力端子33との間に電流の経路を設けるバイアス回路を構成しており、ソースには電圧VDDが与えられ、ドレインはスイッチング素子であるトランジスタP24を介して出力端子33に接続される。トランジスタP25のゲートには、トランジスタP23と同様に第2バイアス入力端子35からバイアス電圧VB2が与えられる。トランジスタP24は、ゲートにトランジスタP23の出力Dが与えられており、スイッチング素子として動作する。トランジスタP24は、トランジスタP23の出力電圧が高く、第2差動増幅回路23が遮断状態となると、トランジスタP25によって流される電流を遮断する。

【0035】図2は上述のように構成される演算増幅回路21が用いられるTFT（薄膜トランジスタ）型の液晶表示装置41の構成を示すブロック図であり、図3は液晶表示装置41におけるソースドライバ42の構成を示すブロック図である。

【0036】液晶表示装置41は、ソースドライバ42と、ゲートドライバ43と、液晶表示パネル44と、表示制御回路45と、駆動電源回路46とを含んで構成される。

【0037】液晶表示パネル44には、ソース電極s1～sn（総称するときは参照符sを用いる）と、ゲート電極g1～gm（総称するときは参照符gを用いる）とがそれぞれ直交するように設けられる。各電極が直交する地点の近傍には、それぞれ薄膜トランジスタHij（iは1以上n以下、jは1以上m以下）が設けられており、同一水平ライン上の薄膜トランジスタHijのゲートは同一のゲート電極gに接続され、ゲートドライバ43によって順次走査される。また、同一垂直ライン上の薄膜トランジスタHijのソースは、同一のソース電極sに接続され、ソースドライバ42によって表示する階調に応じた電圧が各薄膜トランジスタHijに供給される。

【0038】薄膜トランジスタHijのドレインは、絵素電極Kijに接続される。各絵素電極Kijは、液晶層を挟んで絵素電極Kijを覆うように形成される共通電極Lと対向し、絵素電極と共通電極とに挟まれた液晶層の領域で電圧が保持されて表示が行われる。

【0039】表示制御回路45は、液晶表示パネル44に表示を行うための表示データやタイミングを規定するクロック信号などをソースドライバ42およびゲートドライバ43に供給する。駆動電源回路46は、液晶表示パネル44を駆動する電圧をソースドライバ42、ゲートドライバ43、および共通電極Lに供給する。

【0040】図3を参照して、ソースドライバ42の詳細な説明を行う。ソースドライバ42は、双方向シフト

レジスタ51と中耐圧回路52とを含んで構成される。中耐圧回路52は、たとえば14～20Vの電圧で動作することができるように構成される。中耐圧回路52は、レベルシフタ53と、アナログスイッチAS1～ASn（総称するときは参照符ASを用いる）と、アナログスイッチAW1～AWn（総称するときは参照符AWを用いる）と、サンプリングコンデンサCS1～CSn（総称するときは参照符CSを用いる）と、ホールドコンデンサCH1～CHn（総称するときは参照符CHを用いる）と、オペアンプOp1～Opn（総称するときは参照符Opを用いる）とを含んで構成される。

【0041】双方向シフトレジスタ51には、表示制御回路45からスタートパルス、シフトクロック、および制御信号が供給される。双方向レジスタ51では、入力されたスタートパルスをシフトクロックに基づいて順次シフトして出力する。双方向レジスタ51は、たとえば5Vの電源で動作する。レベルシフタ53は、双方向シフトレジスタ51の出力信号レベルを変換して14～20Vの電圧にして出力する。

【0042】アナログスイッチASは、レベルシフタ53の出力によって開閉が制御される。前記表示制御回路45から供給されるビデオ信号は、アナログスイッチASが閉じられるまでアナログスイッチASを介してサンプリングコンデンサCSに入力され、アナログスイッチASが閉じられた後はサンプリングコンデンサCSで保持される。

【0043】サンプリングコンデンサCSの出力は、アナログスイッチAWを介してホールドコンデンサCHに与えられる。アナログスイッチAWは、出力エネーブル信号によって開閉が制御され、アナログスイッチAWが開いている間はサンプリングコンデンサCSの出力がホールドコンデンサCHに入力され、アナログスイッチAWが閉じるとその時点での電圧が保持される。

【0044】オペアンプOpは、前述の図1に回路図を示す演算増幅回路21であり、ホールドコンデンサCHに保持された電圧が同相入力端子32に入力される。出力端子33はそれぞれソース電極sに出力され、かつ演算増幅回路21の逆相入力端子31に接続される。出力が逆相入力端子31に入力されていることによって、演算増幅回路21はボルテージホロワとして動作する。

【0045】図4は、演算増幅回路21の動作を説明するための図である。図4において、曲線61は第1差動増幅回路22の出力Aの特性を示しており、曲線62は第2差動増幅回路23の出力Bの特性を示している。曲線63はトランジスタN11、N12のソース電位である出力Cの特性を示し、曲線64はトランジスタP21、P22のソース電位である出力Dの特性を示す。

【0046】曲線63は、後述する領域T2～T5で逆相および同相入力端子31、32から入力される電圧V1、V2からトランジスタN13によって電圧Vgsn

10

20

30

40

50



だけ低くなる。電圧 $V_{gsn}$ は、トランジスタ $N11$ 、 $N12$ の動作点によって定まるゲート・ソース間の電圧である。

【0047】図4では、前記電圧 $V1$ 、 $V2$ の特性は直線65で示される。また曲線64は、後述する領域 $T1 \sim T4$ で前記電圧 $V1$ 、 $V2$ からトランジスタ $P23$ によって電圧 $V_{gsp}$ だけ高くなる。電圧 $V_{gsp}$ は、トランジスタ $P21$ 、 $P22$ の動作点によって定まるゲート・ソース間の電圧である。なお、図4では電圧 $VSS$ をグランド電圧として $0V$ と定めた。

【0048】電圧 $V1$ 、 $V2$ がグランド電圧から電圧 $V_{tn}$ までの領域 $T1$ における電圧値をとるとき、入力電圧が前記しきい値電圧 $V_{tn}$ 以下であるので、トランジスタ $N11$ 、 $N12$ は遮断される。トランジスタ $N11$ 、 $N12$ が遮断されているので、出力 $A$ は電圧 $VDD$ となり、トランジスタ $P13$ は遮断される。また、出力 $C$ はグランド電圧となるのでトランジスタ $N14$ が遮断される。このとき、トランジスタ $P21$ 、 $P22$ は差動増幅動作を行っており、電圧 $V_{tn}$ となる出力 $B$ によってトランジスタ $N23$ が駆動されている。また、出力 $D$ の電圧は充分低くなるのでトランジスタ $P24$ が導通する。トランジスタ $P24$ が導通することによって、トランジスタ $P25$ を介して出力端子33へと電流が流れる。出力端子33から出力される出力電圧 $V0$ の出力レベルは、トランジスタ $N23$ およびトランジスタ $P24$ ならびに $P25$ の導通状態によって定められる。

【0049】電圧 $V1$ 、 $V2$ が電圧 $V_{tn}$ から電圧 $V_a$ までの領域 $T2$ における電圧値をとるとき、トランジスタ $N23$ 、 $P24$ は領域 $T1$ と同様に導通されている。電圧 $V_a$ は、電圧 $V_{tn} + V_{gsn}$ と定められる。領域 $T2$ では、入力される電圧 $V1$ 、 $V2$ が電圧 $V_{tn}$ 以上となるので、第1差動増幅回路22が導通される。第1差動増幅回路22が導通されることによって、出力 $A$ は電圧 $VDD - |V_{tp}|$ となり、トランジスタ $P13$ が導通される。出力電圧 $V0$ の出力レベルは、トランジスタ $N23$ 、 $P13$ の導通状態によって定められる。

【0050】電圧 $V1$ 、 $V2$ が電圧 $V_a$ から電圧 $V_b$ までの領域 $T3$ における電圧値をとるとき、トランジスタ $N23$ 、 $P24$ 、 $P13$ は領域 $T2$ と同様に導通されている。電圧 $V_b$ は電圧 $VDD - |V_{tp}| - |V_{gsp}|$ と定められる。領域 $T3$ では、出力 $C$ が電圧 $V_{tn}$ 以上となるので、トランジスタ $N14$ が導通される。出力電圧 $V0$ の出力レベルは、トランジスタ $N23$ 、 $P13$ の導通状態によって定められる。

【0051】電圧 $V1$ 、 $V2$ が電圧 $V_b$ から電圧 $VDD - |V_{gsp}|$ までの領域 $T4$ における電圧値をとるとき、トランジスタ $N23$ 、 $P13$ 、 $N14$ は領域 $T3$ と同様に導通されている。出力 $D$ が電圧 $VDD - |V_{tp}|$ 以上となるので、トランジスタ $P24$ は遮断される。出力電圧 $V0$ の出力レベルは、トランジスタ $N23$ 、 $P$

13の導通状態によって定められる。

【0052】電圧 $V1$ 、 $V2$ が電圧 $VDD - |V_{gsp}|$ から電圧 $VDD$ までの領域 $T5$ における電圧値をとるとき、入力電圧が電圧 $VDD - |V_{tp}|$ 以上となるので、トランジスタ $P21$ 、 $P22$ は遮断される。トランジスタ $P21$ 、 $P22$ が遮断されているので、出力 $B$ はグランド電圧まで下がり、トランジスタ $N23$ が遮断される。また、出力 $D$ は電圧 $VDD$ となるのでトランジスタ $P24$ は遮断される。このときトランジスタ $N11$ 、 $N12$ は差動増幅動作を行っており、出力 $A$ は出力トランジスタ $P13$ を駆動している。また、出力 $C$ は充分高い電圧となり、トランジスタ $N14$ を導通させ、トランジスタ $N15$ と出力端子33とを接続する。出力電圧 $V0$ の出力レベルは、トランジスタ $P13$ およびトランジスタ $N14$ ならびに $N15$ の導通状態によって定められる。

【0053】なお、領域 $T2 \sim T4$ の間では従来の回路と比較した場合、電流経路が増えることによって消費電流が増加するが、トランジスタ $N15$ 、 $P25$ に供給する各バイアス電圧 $V_{B1}$ 、 $V_{B2}$ を制御することによって、消費電流の増加を防ぐことができる。

【0054】以上のように本発明の実施の第1の形態によれば、入力される電圧 $V1$ 、 $V2$ がグランド電圧から電圧 $VDD$ までのいずれの電圧値となった場合であっても、常に少なくとも1つのグランド電圧—出力端子33間の電流経路と、少なくとも1つの出力端子33—電圧 $VDD$ 間の電流経路が存在することとなり、入力される電圧 $V1$ 、 $V2$ の入力ダイナミックレンジの拡大を図ることができる。また、スイッチング動作を行うトランジスタ $N14$ 、 $P24$ を駆動する電圧は、それぞれトランジスタ $N11$ 、 $N12$ とトランジスタ $P21$ 、 $P22$ に入力される電圧を用いているので、回路の構成要素の増加を抑えつつ本発明の効果を<sup>30</sup>得ることができる。さらに、従来の演算増幅回路は、前述のグランド電圧—電圧 $VDD$ 間で動作させるためにはデュプリージョン型のトランジスタで構成される必要があったが、本発明の演算増幅回路21はエンハンスメント型のトランジスタで前記電圧間で動作することができるよう構成できるので、製造プロセスを増加させる必要がなく、製造コストを抑えて作成することができる。

【0055】なお、本発明の実施の第1の形態においては、スイッチング素子として動作するトランジスタ $N14$ は、トランジスタ $P13$ とトランジスタ $N15$ との間に設けられていたが、トランジスタ $P13$ のドレインとトランジスタ $N15$ のドレインとを接続し、トランジスタ $N15$ のソースと電圧 $VSS$ との間にトランジスタ $N14$ を設ける構成としてもよい。また、スイッチング素子として動作するトランジスタ $P24$ は、トランジスタ $N23$ とトランジスタ $P23$ との間に設けられていたが、トランジスタ $N23$ のドレインとトランジスタ $P2$

3のドレインとを接続し、トランジスタN15のソースと電圧VSSとの間にトランジスタP24を設ける構成としてもよい。

【0056】図5は、本発明の実施の第2の形態である演算増幅回路71の構成を示す回路図である。演算増幅回路71において、演算増幅回路21と同一の構成要素には同一の参照符を付して説明を省略する。演算増幅回路71は、演算増幅回路21の第1出力増幅回路24を第1出力増幅回路72に置き換え、第2出力増幅回路25を第2出力増幅回路73に置き換えた構成となっている。

【0057】第1出力増幅回路71は、トランジスタP13と負荷回路75とを含んで構成される。負荷回路75は、一方端がトランジスタP13のドレインと出力端子33とに接続され、他方端には電圧VSSが与えられており、第1バイアス入力端子34からバイアス電圧VB1が供給されることで所定の抵抗値をもつ負荷として作用する。

【0058】第2出力増幅回路73は、トランジスタN23と負荷回路76とを含んで構成される。負荷回路76は、一方端がトランジスタN23のドレインと出力端子33とに接続され、他方端には電圧VDDが与えられており、第2バイアス入力端子35からバイアス電圧VB2が供給されることで所定の抵抗値を持つ負荷として作用する。

【0059】演算増幅回路71では、各負荷回路75、76には常にバイアス電圧が供給されているので、電流経路が設けられることとなり、一方の差動増幅回路が遮断状態となった場合であっても出力を行うことができる。

【0060】以上のように本発明の実施の第2の形態によれば、バイアス電圧が供給される負荷回路75、76によって電流経路が確保されるので、前述の第1の形態と同一の効果を得ることができ、さらに回路を構成を簡略化することができる。

#### 【0061】

【発明の効果】以上のように本発明によれば、入力端子から与えられる信号の電圧によって、いずれか一方の出力用トランジスタが遮断された場合であっても、他方の出力用電界効果型トランジスタと当該電界効果型トランジスタに対応する負荷素子との間を電流が流れるので、入力端子に与える信号の電圧として前記一方の差動増幅手段が遮断状態となるような電圧を与えた場合であっても出力を行うことができ、入力端子に与える信号のダイナミックレンジを広くとることができる。

【0062】また本発明によれば、各負荷素子と各出力用電界効果型トランジスタとの間、あるいは各負荷素子とそれぞれの負荷素子が接続される電位との間に、それぞれ対応する差動増幅手段が遮断状態となると遮断されるスイッチング素子を設けているので、一方の差動増幅

手段が遮断状態となって他方の差動増幅手段に対応する出力用トランジスタと負荷素子とによって出力が行われるときに余分な電流が流れることがなく演算増幅回路で消費される電流を低く抑えることができる。

【0063】さらに本発明によれば、各負荷素子は、第1および第2の差動増幅手段が導通しているか遮断しているかによって、電流の流れを遮断するか所定の抵抗値の負荷となるので、電流の流れを制御するためにスイッチング素子と負荷素子とをそれぞれ独立して設ける必要がなく、演算増幅回路が形成される面積を小さく抑えることができる。

【0064】またさらに本発明によれば、各差動増幅手段における電界効果型トランジスタのソース電位として与えられる信号の電圧によって、それぞれ対応する各スイッチング素子の導通／遮断を制御するので、前記制御を行うために新たに信号を入力する必要がなく入力端子数の増加を防ぐことができ、演算増幅回路が形成される面積を小さく抑えることができる。

【0065】またさらに本発明によれば、トランジスタである第1および第2の負荷素子は、それぞれ対応する差動増幅手段に供給されるバイアス電圧によって導通状態となるので、各負荷素子として単に抵抗を設ける場合よりも演算増幅回路の形成に必要な面積を小さく抑えることができる。

【0066】またさらに本発明によれば、各差動増幅手段には2つの入力端子がそれぞれ接続されており、いずれか一方の入力端子に出力端子から出力される信号が入力されることによって、演算増幅回路はボルテージフォロアとして動作するので、入力端子側の信号の変動などによる影響による出力信号の変動を防止することができ、また入力する電圧のダイナミックレンジを広くとることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の第1の形態である演算増幅回路21の回路図である。

【図2】TFT型の液晶表示装置41の構成を示すブロック図である。

【図3】液晶表示装置41におけるソースドライバ42の構成を示すブロック図である。

【図4】演算増幅回路21の動作を説明するための図である。

【図5】本発明の実施の第2の形態である演算増幅回路71の回路図である。

【図6】典型的な従来例であるCMOS演算増幅回路1の回路図である。

【図7】演算増幅回路1の動作を説明するための図である。

#### 【符号の説明】

21 演算増幅回路

22 第1差動増幅回路

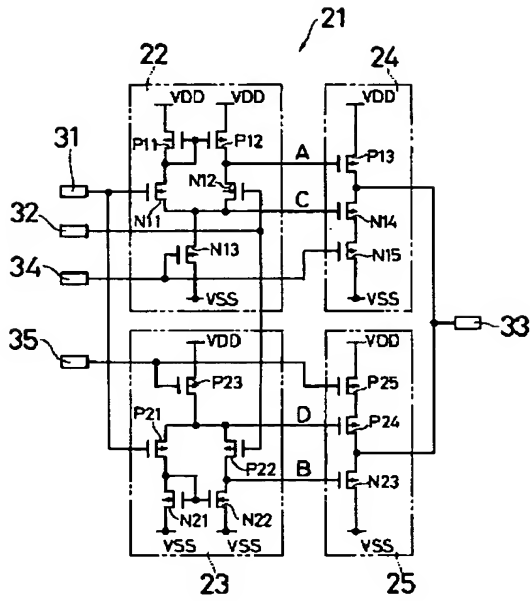
15

16

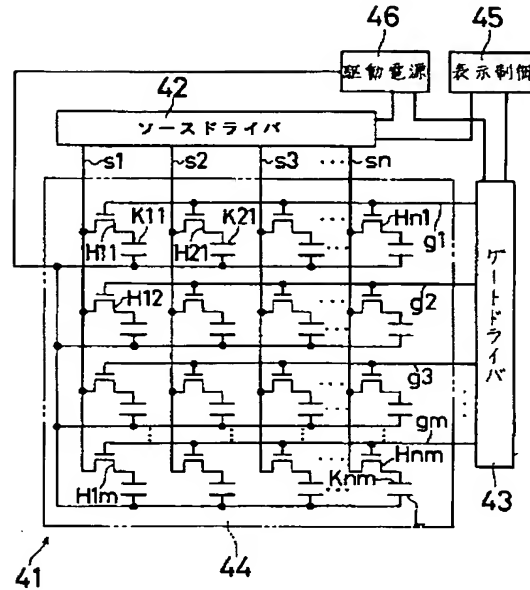
- 23 第2差動増幅回路  
 24 第1出力増幅回路  
 31 逆相入力端子  
 32 同相入力端子

- 33 出力端子  
 34 第1バイアス入力端子  
 35 第2バイアス入力端子

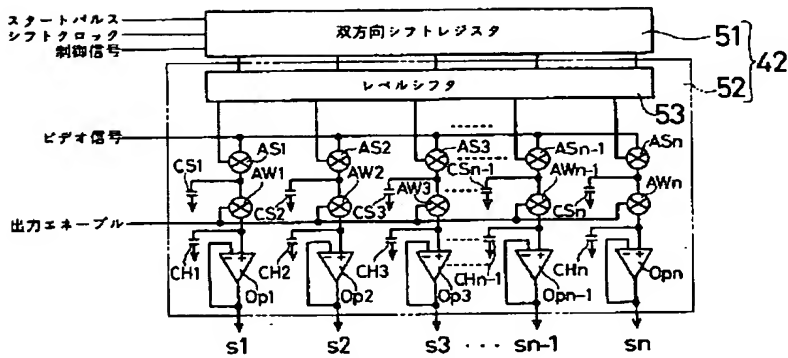
【図1】



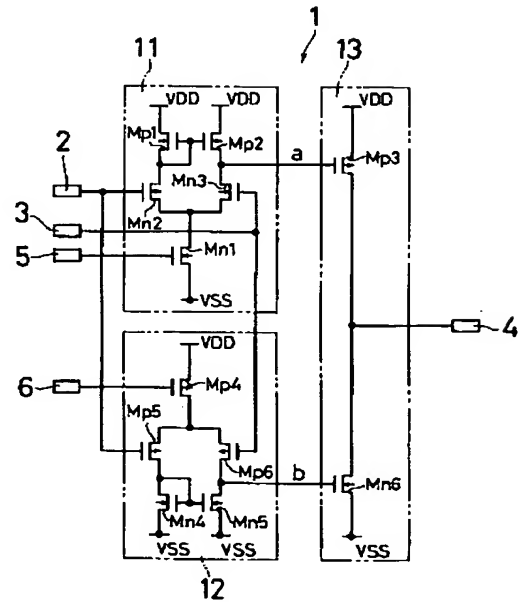
【図2】



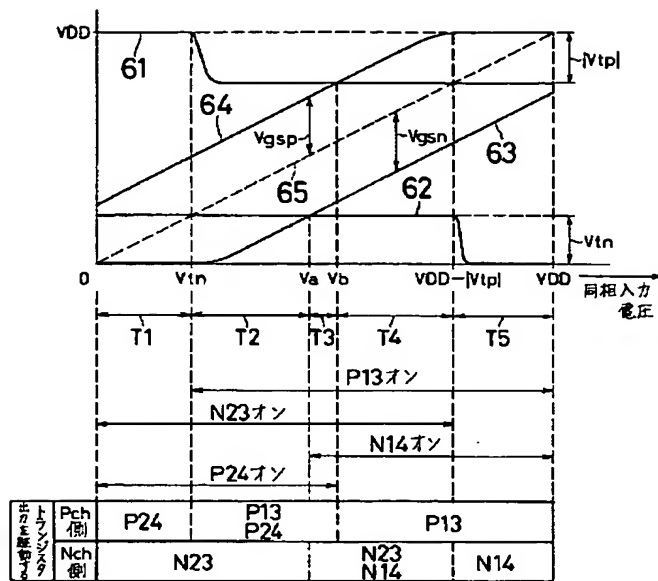
【図3】



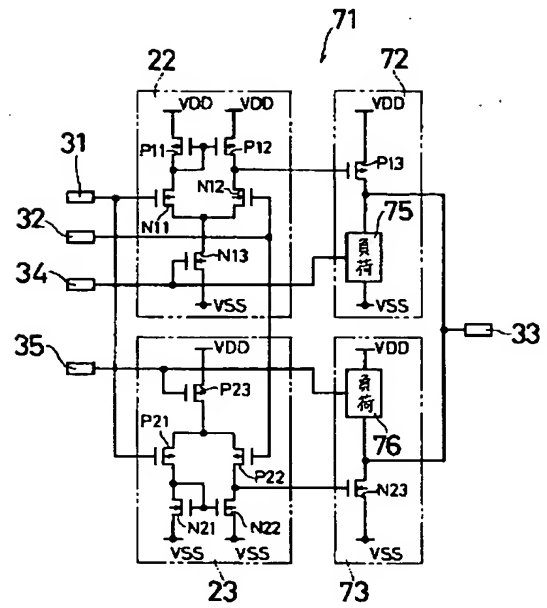
【図6】



【図4】



【図5】



【図7】

